**上海市集成电路高技能人才培养基地**

**芯片可测试性电路设计仿真（DFT）**

**培训招生简章**

**一、培训对象**
1、从事集成电路设计的工作的人员。

1. 有意从事集成电路DFT设计和验证的工作人员。

**二、培训目标**

1、了解集成电路测试的基本概念，可测性设计的基本原理，熟悉目前工业界主流的可测试设计方法。

2、掌握边界扫描链（Boundary Scan）技术, 能够独立设计所需硬件逻辑。

3、掌握扫描链（scan）插入技术，理解常见的stuck at , transiton, path delay, IDDQ等故障测试。

4. 理解片上时钟控制（OCC）对于at speed测试的意义，理解并掌握scan compression技术。

5、掌握ATPG实现技术，能够基于Mentor Flow进行测试向量生成并验证。

6、掌握Mbist实现技术，能够基于Mentor Flow进行Mbist逻辑插入以及验证。

7、能够结合所学测试方法学、进行SOC芯片的可测性结构设计，制定测试方案，实现测试结构，验证测试结果，覆盖率收集，以及成品率的估算。

8、理解 mbist诊断和scan诊断对于芯片制造良率提升的重要意义，掌握基本的测试诊断流程。

9、能够参考业界一流公司的可测试设计验证流程，能完成相关的文档并逐一答辩通过。

**三、培训特色**

* 注重理论和实践的结合，着重实训技能,结合完备的基础理论培训，参照一线公司的可测试设计验证流程来指导实训为特色

1、可测试方法学：涵盖复杂SOC里不同模块的可测试方法实现，包含针对PAD测试的边界扫描测试，针对数字逻辑的扫描链测试，针对存储器的自测试方法。

2、可测试方案的制订：包括测试目标要求制定，测试方法和平台的选择，测试激励的生成和验证，覆盖率保证，成品率分析，测试成本估算以及开发进度的保证等等。需要可测试开发人员准备相关的文档进行答辩，来培养独立承担复杂芯片测试的能力。

3、可测试覆盖率的收敛：包含可测试覆盖率的收集，提高可测试覆盖率的方法，以及可测试覆盖率对最后产品良率的影响。让学员按照严格的流程来通过可测试结果验收。

**四、 培训费用**

培训费2500元。包含教材费、场地费、线上平台、实训账号等。

**五、培训计划**

1、线下培训总课时：80个课时（线下课程为主，线上课程为辅），持续2-3个月（课时按实际课程进度进行调整）

2、培训时间：每周末一天（国家法定假日另行安排）

3、培训地点：上海硅知识产权交易中心（宜山路333号汇鑫国际大厦1号楼1706室）

4、开班形式：小班授课，保证每人1台PC；全流程开通vnc登录账号，任何时间随时登录进行工具学习和实战操作，授课老师提供技术支持与答疑

5、开班时间：招满即开

**六、培训师资**

本项目培训师资人员均是具有10年以上专精于集成电路验证的资深专家，拥有对复杂SoC的可测试设计验证经验、项目管理与带队经验。

**七、课程大纲**

1. 芯片可测试性电路设计仿真基础
2. 理论教学内容
3. 芯片测试的基本概念
4. 芯片测试流程
5. 自动测试设备介绍
6. 可测试设计基本概念
7. 常用可测试设计方法
8. 故障建模和常见模型
9. 边界扫描法
10. 理论教学内容
11. JTAG（IEEE1149.1）基本原理
12. 边界扫描法基本结构和指令
13. 边界扫描测试流程
14. 边界扫描描述语言
15. JTAG和边界扫描的验证
16. 技能实训内容
17. 使用Verilog编写Tap控制器
18. 使用Verilog添加BS-1149.1寄存器
19. 实现边界扫描的功能测试
20. 扫描链测试法
21. 理论教学内容
22. 扫描链设计的基本原理
23. 扫描链电路的结构和原理
24. ATPG（自动激励生成）的原理
25. ATPG故障类型介绍
26. 扫描链电路设计基本流程
27. 扫描链插入的基本流程（基于Tessent Scan）
28. 扫描链插入相关逻辑功能
29. 扫描链插入的准备
30. 扫描链插入基本命令和功能
31. 扫描链插入结果检查
32. ATPG（自动激励生成）的基本流程（基于Tessent FastScan）
33. ATPG实现的准备
34. ATPG实现的基本命令和功能
35. ATPG 设计规则检查
36. ATPG覆盖率收集和分析
37. 扫描链电路验证基本流程
38. 验证的分类和原理
39. 验证文件的准备
40. 验证实现方法
41. 验证结果检查
42. 验证调试方法
43. 技能实训内容
44. 实现电路的扫描链插入
45. 实现电路的自动激励生成（ATPG）
46. 实现电路的扫描链验证
47. 内建自测试
48. 理论教学内容
49. 内建自测试设计的基本原理
50. 存储器单元功能和原理
51. 存储器故障原理
52. 内建自测试方法
53. 内建自测试电路结构和设计原理
54. 内建自测试设计流程（基于Tessent Mbist）
55. 内建自测试的设计规则检查
56. 内建自测试的设计规划
57. 内建自测试的设计实现
58. 内建自测试验证流程
59. 内建自测试的验证
60. 技能实训内容
61. 实现电路的内建自测试设计
62. 实现电路的内建自测试验证

**九、联系方式**

联系人：Gina Hong/021-61154610-8801 张勇021-61154610-8850

邮箱：gina.hong@ssipex.com yong.zhang@ssipex.com

  2019.11